

# 次世代半導体向けCu/Low-k配線製造用CMPスラリー

## CMP Slurry for Cu/Porous Low-k Integration

金野智久

Tomohisa Konno

CMP process applied to copper (Cu) and porous Low-k (p-LK) integrated devices is one of key processes in advanced semiconductor device manufacturing. On the other hand, due to high reactivity of Cu and fragile properties of porous dielectric film, strict defect control is required. To overcome those issues, several types of surfactant were studied as one of CMP slurries' ingredients. For Cu slurry, through a determination of passivation strength of surfactant by potentiostat with rotating electrode, an effective surfactant was found. Meanwhile, although some surfactants are key material of barrier metal slurry to control p-LK's removal rate, an adsorption and/or a penetration of the surfactants into p-LK film cause a degradation of an electric property of p-LK film. In this article, a relationship of surfactant structure with the removal rate controllability and the penetration behavior into p-LK film were described. Furthermore, an influence of surfactant penetration into p-LK film on the electric property of the p-LK film was discussed. And then p-LK removal rate controllability of the new slurry with damage free surfactant was presented.

### 1 はじめに

半導体デバイスの微細化・高速化に伴い、配線間容量を小さくするため低誘電率材料(Low-k膜)を層間絶縁膜に、また低抵抗の銅(Cu)を配線材料として採用したCu/Low-k構造の超LSIデバイスが現在の主流となっている。また、Cu配線の厚みは薄くなり、その厚み制御に求められる精度は高度化する一方である。層間絶縁膜については、従来SiO<sub>2</sub>膜が使用されてきたが、SiO<sub>2</sub>膜の-Si-O-Si-結合の一部が-Si-CH<sub>3</sub>結合に置き換わった低誘電率材料・Low-k膜が採用され、配線間容量を低減している。近年、さらなる低誘電率化のため、多孔質な材料(porous Low-k膜)も採用されてきている。

このような材料が用いられる半導体デバイスの配線は図1に示した工程により形成される。まず、製膜されたLow-k膜にフォトリソグラフィ技術により配線用の溝を形成し、次いで配線用金属を製膜する(図1, (A)の状態)。配線としてCuを使用する場合、Cuが絶縁膜中へ拡散することを

防止するため、拡散防止層としてTaやTa<sub>2</sub>Nなどの安定な金属・金属化合物を絶縁膜上に製膜する。その後Cuをウェハ全面に製膜し、配線溝にCuを埋め込んだ後、化学的機械的研磨(CMP)により不要な部分を除去・平坦化する。但し、Cuとバリアメタルは化学的・物理的性質が異なるため、同時に研磨することが難しい。そのため通常は、Cuを研磨する一段目CMP(図1, (B)の状態)、次いでバリアメタルを研磨する二段目CMP(図1, (c)の状態)の二段階研磨が行われる。それぞれの研磨段階で、Cu配線が過剰に研磨される「ディッシング」や微細配線が緻密に配列した箇所の絶縁膜が過剰研磨される「エロージョン」が発生するが、これらの窪みの深さによりCMPの平坦化性能が議論される。これらは配線の厚みばらつきに直結する問題であり、配線の微細化の進展に伴い、より高度な平坦化性能が要求されている。バリアメタルを研磨する二段目CMPでは、残留しているCuとバリアメタル、絶縁膜を同時に研磨する必要がある、これら被研磨対象材料の研

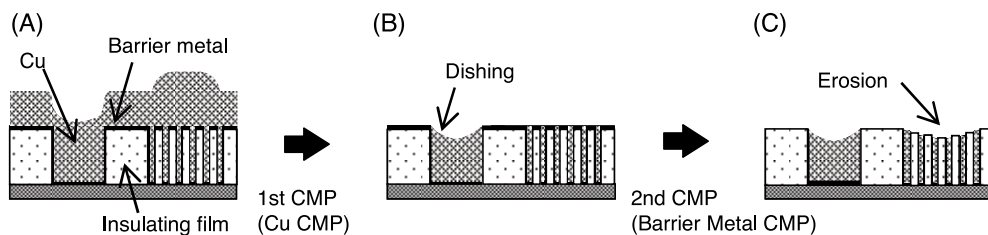


Figure 1 CMP process scheme of Cu wiring formation. (A) Cross-section image after deposition of barrier metal and copper on patterned insulating film; (B) Cross-section image after removing excess copper with Cu CMP slurry; (C) Cross-section image after removing barrier metal on insulating film surface with barrier metal CMP slurry.

磨速度比が平坦化性能に大きく影響する。さらに、最近の絶縁膜は低誘電率化のためLow-k膜へ、さらには多孔質化してきていることから、porous Low-k膜への機械的・化学的ダメージに配慮したCMPプロセスが必要となっている。

本稿では、一段目CMPで用いる銅用CMPスラリーにおける平坦化性能向上策として、CMPスラリーの配合成分の一つである界面活性剤の応用、及び二段目CMPで用いるバリアメタル用CMPスラリーによるLow-k膜へのダメージを考慮したLow-k膜研磨速度制御技術について、著者らが開発を進めているCu/Low-k配線製造用CMPスラリーの検討結果の中から紹介し、今後の課題や展望について言及する。

## 2 銅用CMPスラリー

Cu用CMPスラリーに求められる性能は、工程時間短縮につながる高い研磨速度と平坦化性能である。銅の研磨は、①過酸化水素などの酸化剤により酸化された銅を水溶性のCu錯体として反応系外へ除去するエッチング作用と、②同じく酸化された銅に対して水に不溶もしくは難溶性のCu錯体を形成し、これをシリカやアルミナなどの砥粒にて機械的に除去する作用の両方をバランスさせ行うが、これらの作用はCMPスラリーに用いられる化学成分の選択・構成により設計されている。このうち①のエッチング作用はCuの高い研磨速度を得るために非常に重要であり、一般的にクエン酸やシュウ酸などの有機酸、グリシン<sup>1)</sup>などのアミノ酸が使用されている。一方でその過剰な作用により、Cuの溶解を促進し、結果的に平坦性の悪化や腐食を生じさせる恐れがある。この過剰な作用を抑制するため、②の成分としてベンゾトリアゾール(BTA)などの防食剤が併用される事が多い。しかしその強固な保護作用により研磨速度が抑制され、高研磨速度-良平坦化性能はしばしば二律背反の関係になる。

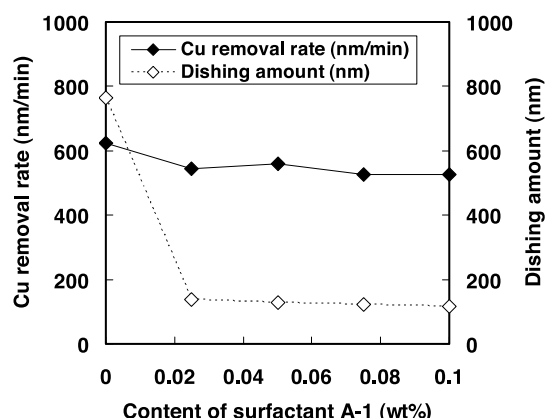


Figure 2 Influence of surfactant on planarization performance.

### 2.1 銅用CMPスラリーにおける界面活性剤の作用

こうした背景からベンゾトリアゾールに替わる②の成分の探索や、新たな成分として界面活性剤の使用が研究され、Cuの溶解速度への影響が詳しく調べられている<sup>2)</sup>。実際、グリシンを含むCu用CMPスラリーを用いてアニオン性界面活性剤(Surfactant A-1)の添加効果を確認すると、図2に示したように極少量の界面活性剤で研磨速度の低下をわずかに抑えつつ、ディッシングの悪化を抑制する効果が確認された。界面活性剤は製膜されたCu表面へ吸着し酸化を抑制すると考えられるが、凸部のCuに吸着した界面活性剤はCMP中の摩擦で除去され研磨が進行すると考えられる。一方で、配線となる凹部はCMP中の摩擦が小さく除去され難く、その部分の研磨の進行が遅くなりことで、凸部と凹部の研磨速度の選択性が生じ、ディッシングが小さくなったと考えられる。

### 2.2 銅用CMPスラリーにおける高分子界面活性剤の応用

平坦性をより向上させるためには、界面活性剤の分子構造を変えることで、凸部と凹部の研磨速度の選択性をより大きくする必要があり、さらには、界面活性剤による酸化

抑制能をより強固にできれば、Cuの腐食を完全に抑制することも可能になると考えられる。これらの機能付与のために、低分子のいわゆる石鹼だけではなく、ポリアクリル酸やポリビニルアルコールなどの水溶性高分子の活用も広く検討されている。高分子の分子量や水溶性に応じて、水相への溶解とCu表面への吸着バランス、吸着強度が変化すると考えられるが、その評価にポテンシostatを使用した電気化学測定が役立つ。

これまでもCuの研磨挙動やスラリー中の化学成分の反応解析に電気化学測定が活用されてきており<sup>13)</sup>、図3aに示したような回転電極を用いたポテンシostatにより腐食電位を測定し、CMPスラリーの腐食性評価などに用いられている。一例として、酸化剤として過酸化水を加えたアルカリ性のCu用CMPスラリー-Cu-1と、これにBTAを微量添加したスラリー-Cu-2の測定結果を図3bに示す。BTAによりCu上に保護膜が形成されるCu-2は、Cu-1よりも大き

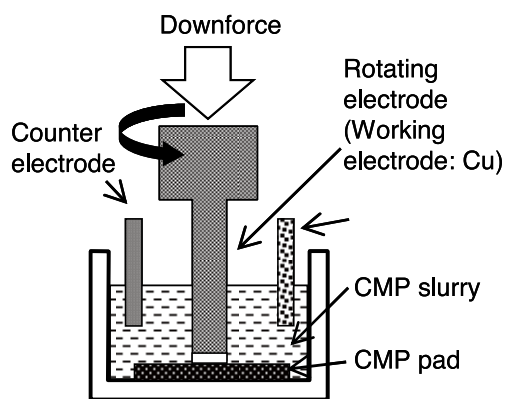


Figure 3a Potentiostat with rotating electrode and cell structure.

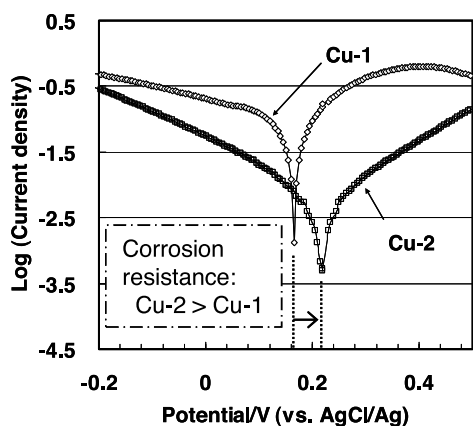


Figure 3b Example of corrosion potential measurement.

Figure 3 Potentiostat with rotating electrode and result of corrosion potential measurement

な腐食電位を示し、腐食抑制能力が大きいことが電気化学測定によっても分かる。

本来、回転電極は、電極反応により変化する表面を一定の状態に保ちつつ測定するために使用されているが、その回転特性を活用し、実際のCMPに近い状態をセル中で再現して研磨挙動の解析、成分の作用機構を解明しようとする研究も進められている<sup>4)</sup>。例えば、CMPスラリー中で電極が回転中(研磨中)と停止中(静的挙動)のクロノアンペログラム(一定電圧を付加した際の電流値の時間変化)を測定することで、回転中-停止中の電流値、停止から回転への遷移、回転から停止への遷移の状態からCu表面の保護状態・保護層の強度を評価できる。筆者らは、分子量の異なる市販ポリアクリル酸B-1及びB-2と、三元共重合により試作した水溶性ポリマーC-1を銅用CMPスラリーへ加え、そのクロノアンペログラムを測定した(図4)。いずれの水溶性高分子も電極の回転が停止している場合の電流値には大きな差は無いが、電極を回転すると電流値は上昇し、その挙動は水溶性高分子の分子量、組成によって大きく異なることがわかる。回転し電極が摩擦されることで表面に吸着していた水溶性高分子が除去され、Cu表面が露出するとともに酸化され電流値が上昇していることを示しているが、C-1は他に比べ回転の際の電流値の上昇が小さい。このことからC-1は比較的強固にCu電極表面を保護していると考えられる。そして、良好な平坦化性能や腐食防止能を付与するCMPスラリーの構成成分の一つになり得ると期待される。上述したような電気化学的分析・解析手法の確立・充実が開発効率の向上につながるかと確信する。

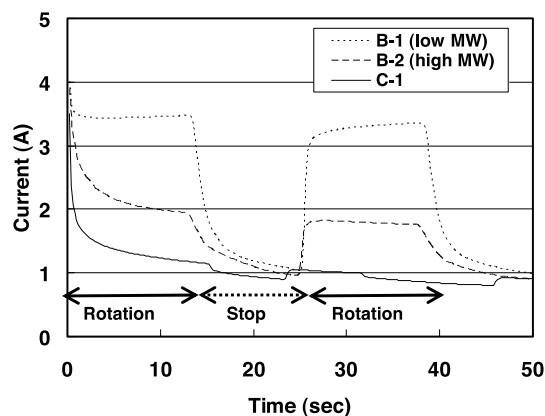


Figure 4 Oxidation behavior on Cu surface with water soluble polymer

### 3 バリアメタル用CMPスラリー

バリアメタル用スラリーは、平坦化のためにCuとバリアメタル、絶縁膜といった研磨対象材料間の研磨速度比の調整が極めて重要である。また、絶縁膜として用いられるLow-k膜とバリアメタルの間には、配線溝形成工程やCMP工程で受けるダメージを低減するなどの理由からSiO<sub>2</sub>などの硬い絶縁膜がキャップとして積層されることがある。バリアメタルを研磨する二段目CMPにて、このキャップ絶縁膜を研磨により完全に除去するか、ある程度の膜厚を残すか、さらにはLow-k膜を研磨によりどの程度の膜厚にするのかはデバイスの設計により異なり、バリアメタル用スラリーの研磨速度比はデバイスに応じて調整する必要がある。特に、Low-k膜についてはSiO<sub>2</sub>への有機基導入により機械的強度が弱く、研磨速度を抑制することが難しい。さらなる低誘電率化に伴い膜が多孔質化してきており、研磨速度抑制の難易度が高まってきている。そうした中で、バリアメタル用スラリーにおいても界面活性剤の利用が検討されている。SiO<sub>2</sub>中に炭化水素が導入され疎水性を増したLow-k膜に対して、界面活性剤は吸着などの作用により研磨抑制剤として作用するのである。

#### 3.1 界面活性剤によるLow-k膜研磨速度制御とその影響

一般的にバリアメタルスラリーはpHが酸性のものと、アルカリ性のものが上市されている。現在ではLow-k膜上に積層されるSiO<sub>2</sub>などの保護層を研磨除去するために、SiO<sub>2</sub>の加水分解作用を利用し高研磨速度を達成するためにアルカリ性のものが主流のようである。しかし、アルカリ性のスラリーはより脆弱なLow-k膜も非常に高い研磨速度で研磨してしまう。誘電率が約2.2(k=2.2)であるporous Low-k膜のmethylsilsesquioxane (MSQ)を、界面活性

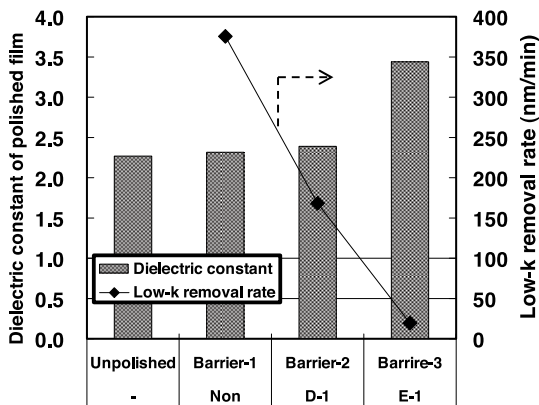


Figure 5 Suppression of Low-k removal rate and influence on dielectric constant by surfactants

剤を含まないスラリー (Barrier-1) で研磨した場合、図5に示すようにその研磨速度は非常に大きく、研磨による膜厚の制御が難しい。このBarrier-1に一般的なアニオン性界面活性剤D-1を添加した場合 (Barrier-2)、MSQの研磨速度はある程度抑制されるが、その抑制効果は十分ではない。一方、親水性部位としてエチレングリコール連鎖[-(CH<sub>2</sub>CH<sub>2</sub>O)<sub>n</sub>-]を含む非イオン性界面活性剤E-1を添加したスラリーBarrier-3は大きな研磨抑制効果を示す。ここで、研磨したLow-k膜の誘電率に着目してみると、界面活性剤を使用していないBarrier-1で研磨したLow-k膜の誘電率は未研磨の膜の誘電率から変化していない。また、D-1を用いたBarrier-2も顕著な変化を与えていない。しかし、研磨抑制効果の大きなE-1を用いたBarrier-3は誘電率に大きな変化を生じさせる。

このような界面活性剤の影響については、界面活性剤がLow-k膜上へ吸着<sup>5,6)</sup>、あるいはLow-k膜中へ浸透<sup>7,9)</sup>することで、膜物性を変化させているためであるとの研究結果が報告されている。実際、研磨前後のLow-k膜の赤外吸収スペクトルを測定すると、Barrier-3で研磨したLow-k

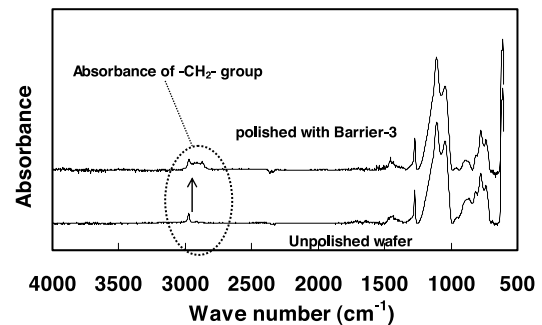


Figure 6 FT-IR spectra of Low-k film before and after CMP

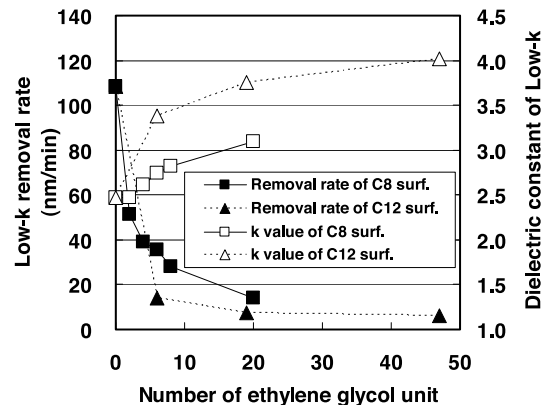


Figure 7 Relationship between structure of non-ionic surfactant and removal rate / dielectric constant of Low-k film

膜からは、未研磨Low-k膜からは検出されないメチレン由来の吸収が観測される(図6)。この吸収は非イオン性界面活性剤を構成する $-(CH_2CH_2O)_n-$ 連鎖由来のものである。

研磨速度を抑制することができる一方でLow-k膜に影響を及ぼす非イオン性界面活性剤について、その構造と影響の関係を明らかにするため、一般的なポリエチレングリコールアルキルエーテルのアルキル鎖長及びエチレングリコール連鎖長を変量し、Low-k膜の研磨速度と誘電率の変化を調べた。種々のエチレングリコール連鎖長を持つ、オクチルエーテル及びラウリルエーテルをバリアメタルスラリー-Barrier-1へ添加し、 $k=2.5$ のLow-k膜を研磨した結果を図7に示す。エチレングリコール繰り返し単位数が10程度までは、アルキル基の大きさに応じたLow-k研磨速度の抑制効果に差が見られ、疎水基の大きな界面活性剤がより抑制効果が高い。しかしエチレングリコール連鎖が長く

なるとその差は小さくなる傾向がある。一方で、誘電率に関しては、疎水基の大きさの影響が大きい。この結果を、非イオン性界面活性剤の親水性-疎水性バランスを数値化したHLB値で整理すると、研磨速度及び誘電率変化それぞれがHLB値により変化していることがわかる。さらに、単に親水性-疎水性のバランスのみならず、界面活性剤の構造そのものが影響しているようである(図8)。そして、汎用的な非イオン性界面活性剤であるポリエチレングリコールアルキルエーテルの親水性-疎水性バランスをとるだけではLow-k膜の研磨速度抑制とLow-k膜物性への影響を回避することはできず、界面活性剤の構造そのものに工夫を加える必要があることを示唆している。

### 3.2 ダメージフリーなLow-k研磨速度制御

Low-k膜の研磨速度を制御するために用いられる界面活性剤は、Low-k膜へ吸着・浸透し、誘電率を上昇させることを述べてきた。つぎに、この現象は配線間の絶縁膜としての特性にどのように影響を与えるか確認すべく、研磨前後のLow-k膜に電極を取り付け、電圧を印加しながら電流-電圧特性(I-V特性)を計測した(図9)。非イオン性界面活性剤を使用したCMPスラリー(Barrier-3, ■)は、未研磨のLow-k膜(◆)対比、リーク電流密度が大きく、絶縁破壊電圧も低下しており、Low-k膜の誘電率が上昇し配線間容量が上昇してしまうのみならず、デバイスとしての信頼性を低下させてしまうおそれがあることを示している。

さらなる低誘電率化が進むデバイス構造に対応するためには、Low-k膜の研磨速度の制御と上記のLow-k膜物性への影響回避の両立が不可欠である。上述のように界面活性剤はLow-k膜の研磨抑制に有効であるが、スラリー-pHやスラリーに添加される有機酸などの成分も研磨速

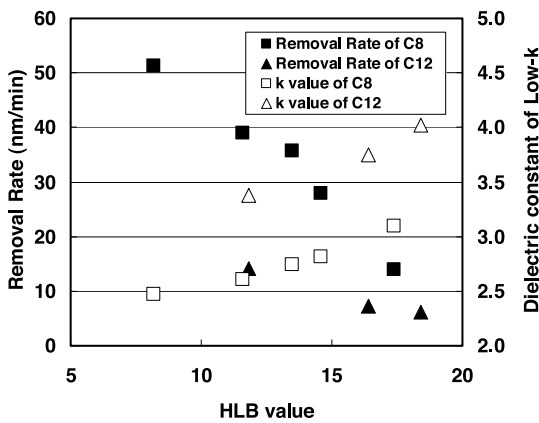


Figure 8 Relationship between HLB value of non-ionic surfactant and removal rate / dielectric constant of Low-k film

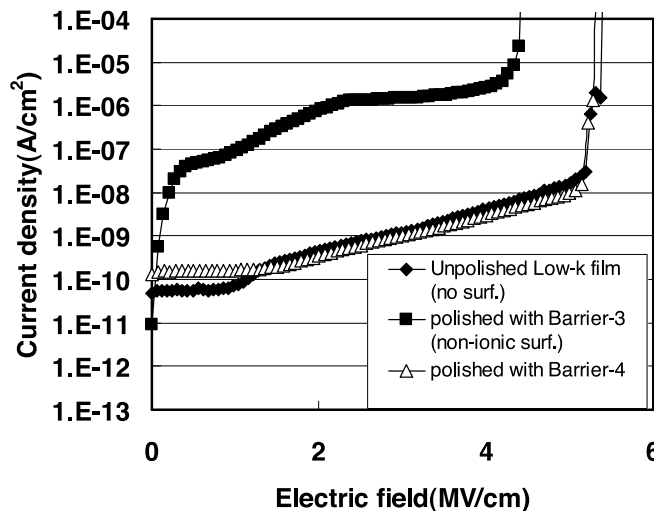


Figure 9 Influence of surfactant type on insulating performance of Low-k film

度に大きく影響する。また、pHはLow-k膜などの被研磨対象膜やスラリー中の砥粒のゼータ電位にも影響し、界面活性剤の吸着挙動へも影響する。これらのことを考慮し、著者らはスラリー構成成分組成やpHなどの最適化を行い、新規バリアメタル用CMPスラリー(Barrier-4, △)を開発した。Barrier-4は界面活性剤を使用していないBarrier-1と同等のI-V特性を示し、研磨後も未研磨のLow-k膜の物性を維持できている。このBarrier-4は、硬いSiO<sub>2</sub>膜の研磨速度に影響を与えずに、その界面活性剤添加量に応じてLow-k膜の研磨速度を制御することができる(図10)。こうした検討を基に、Low-k膜組成・構造と界面活性剤構造やスラリー構成成分との関係を明確化し、次世代、次々世代にも対応したCMPスラリーの開発を行っている。

#### 4 おわりに

本稿ではCMPスラリーの配合成分の一つである界面活性剤の応用という観点から、微細化及び絶縁膜の低誘電率化が進むCu/Low-k構造の超LSIデバイスの製造で用いられるCu用スラリー及びバリアメタルスラリーの性能向上に向けた取り組みについて紹介した。被研磨対象物質の進化に合わせたスラリー成分の分子設計がより重要となっている。一方でCu用スラリーはもちろん、Low-k膜研磨について議論したバリアメタル用スラリーも金属の酸化反応を利用した研磨技術である。Cuスラリーで触れたクロノアンペロメトリーを始めとする電気化学的手法の応用はCMPスラリー構成成分の探索、研磨メカニズムの解明に極めて重要である。今後、さらなる電気化学分析・解析手法の応用を図って行きたい。

#### 発表先

電気化学会誌”Electrochemistry(電気化学および工業物理化学)”, 77, 1028(2009)。

#### 文献

- 1) S. Aksu, F. M. Doyle: *J. Electrochem. Soc.*, **149**, G 352 (2002).
- 2) C. V. V. S. Surisetty, P. C. Goonetilleke, D. Roy, S. V. Babu: *J. Electrochem. Soc.*, **155**, H971(2008).

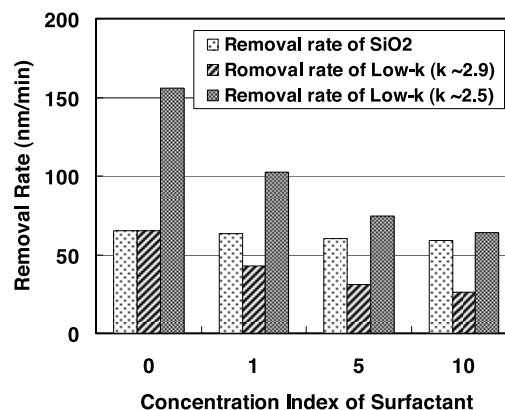


Figure 10 Relationship between concentration of surfactant and Low-k removal rate.

- 3) J. M. Steigerwald, D. J. Duquette, S. P. Murarka, R. J. Dutmann: *J. Electrochem. Soc.*, **142**, 2379 (1995).
- 4) S. Shima, A. Fukunaga, M. Tsujimura: *Ebara Jihou*, **218**, 16 (2008). [In Japanese]
- 5) S. Kondo, K. Fukaya, N. Ohashi, T. Miyazaki, H. Nagano, Y. Wada, T. Ishibashi, M. Kato, K. Yoneda, E. Soda, S. Nakao, K. Ishigami, N. Kobayashi: IEEE International Interconnect Technology Conference Proceedings, (2006), p. 164.
- 6) S. Kondo, M. Shiohara, K. Maruyama, K. Fukaya, K. Yamada, S. Ogawa, S. Saito: IEEE International Interconnect Technology Conference Proceedings, (2007), p. 172.
- 7) T. Kim, K. Mackie, Q. Zhong, M. Peterson, T. Konno, R. H. Dauskardt: *Nano Letters*, **9**, 2427 (2009).
- 8) T. Kim, T. Konno, T. Yamanaka, R. H. Dauskardt: the 13th International Conference on Chemical-Mechanical Polish Planarization for ULSI Multilevel Interconnection Proceeding, (2008), p. 21.
- 9) T. Kim, Q. Zhong, M. Peterson, H. Tam, T. Konno, R. H. Dauskardt: IEEE International Interconnect Technology Conference Proceedings, (2007), p. 129.